

(19)



JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11) Publication number: 08241827 A

(43) Date of publication of application: 17 . 09 . 96

(51) Int. Cl

H01G 4/12
H01F 41/04
H05K 3/46

(21) Application number: 07044351

(71) Applicant: MURATA MFG CO LTD

(22) Date of filing: 03 . 03 . 95

(72) Inventor: KUBOTA KENJI

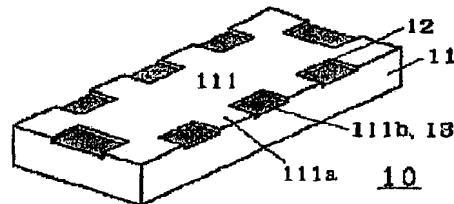
(54) MULTILAYER ELECTRONIC PART AND
MANUFACTURE THEREOF

(57) Abstract:

PURPOSE: To obtain a multilayer electronic part which is high in flexual strength when it is mounted on a circuit board and possessed of outer electrodes where a plating film or paste is easily applied and which can be lessened in arrangement pitch.

CONSTITUTION: Insulating sheets are stucked interposing circuit components between them for the formation of a rectangular parallelopipedic multilayer body 11, and outer electrodes 13 electrically connected to the inner circuit components are provided to the outer surface of the multilayer body 11 for the formation of a multilayer electronic part 10, wherein at least a recessed part 12 is provided to one principal face 111 of the body 11 for the formation of a second face 111b recessed from the primary surface 111, and at least an outer electrode 13 is provided to the second face 111b.

COPYRIGHT: (C)1996,JPO



(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平8-241827

(43)公開日 平成8年(1996)9月17日

(51) Int.Cl. ⁶	識別記号	序内整理番号	F I	技術表示箇所
H 01 G 4/12	3 5 2		H 01 G 4/12	3 5 2
H 01 F 41/04			H 01 F 41/04	A
H 05 K 3/46		6921-4E	H 05 K 3/46	Q
		6921-4E		H

審査請求 未請求 請求項の数6 O L (全8頁)

(21)出願番号 特願平7-44351

(22)出願日 平成7年(1995)3月3日

(71)出願人 000006231

株式会社村田製作所

京都府長岡京市天神二丁目26番10号

(72)発明者 犬田 売二

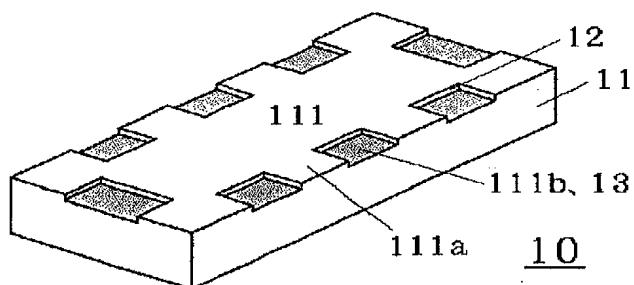
京都府長岡京市天神二丁目26番10号 株式会社村田製作所内

(54)【発明の名称】 積層電子部品及びその製造方法

(57)【要約】

【目的】回路基板実装時のたわみに対する強度が強く、外部電極へのめつき成膜、あるいはペースト塗布が容易で、外部電極の配置ピッチを細かくできる積層電子部品及びその製造方法を提供する。

【構成】内部に回路要素を介在させた状態で複数の絶縁性シートを積層して、相対する主面と該主面間を連結する側面からなる積層体11を構成し、該積層体11の外表面に、回路要素に電気的に接続された複数の外部電極13を備える積層電子部品10において、積層体11の一方主面111に、少なくとも1つの段差12を設けることにより、第1の面111aに比べて第2の面111bを凹ませて形成し、第2の面111bに少なくとも1つの外部電極13を設ける。



【特許請求の範囲】

【請求項1】 内部に回路要素を介在させた状態で複数の絶縁性シートを積層して、相対する主面と該主面間を連結する側面からなる積層体を構成し、該積層体の外表面に、前記回路要素に電気的に接続された複数の外部電極を備える積層電子部品において、

前記積層体の一方主面に、少なくとも1つの段差を設けることにより、第1の面に比べて第2の面を凹ませて形成し、該第2の面に少なくとも1つの前記外部電極を設けることを特徴とする積層電子部品。

【請求項2】 前記第2の面が、前記積層体の外周部に設けられていることを特徴とする請求項1に記載の積層電子部品。

【請求項3】 前記第2の面を、前記第1の面に対して前記積層体の一方主面の側端部が低くなるように傾斜させることを特徴とする請求項1または2のいずれかに記載の積層電子部品。

【請求項4】 所定の切断線によって区画される各領域に回路要素を分布させた状態で、複数のマザー絶縁性シートが積層されてなるマザー積層体と、

前記回路要素に電気的に接続され、かつ前記マザー積層体の外表面に形成された外部電極とを有する積層電子部品の集合体を、前記切断線に沿って切断することによって得られる前記積層電子部品において、

前記切断線に沿って切断される複数の前記積層電子部品が有する前記外部電極が、複数の前記積層電子部品間で電気的に独立することを特徴とする請求項1乃至3のいずれかに記載の積層電子部品。

【請求項5】 前記外部電極が、前記回路要素と同時に前記絶縁性シートに、印刷されてなることを特徴とする請求項1乃至4のいずれかに記載の積層電子部品の製造方法。

【請求項6】 前記第2の面が、前記絶縁性シートをパンチングして形成されることを特徴とする請求項1乃至4のいずれかに記載の積層電子部品の製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、回路要素を内部に配置した積層電子部品及びその製造方法に関し、特に、積層電子部品の外部電極の構造の改良に関する。

【0002】

【従来の技術】 例えは、積層コンデンサ、積層インダクタ、多層回路基板、多層複合電子部品で代表される積層電子部品は、導電膜および/または抵抗膜のような回路要素を内部に介在させた状態で複数の絶縁性シートが積層されてなる積層体を有する。絶縁性シートとしては、代表的なものとして、セラミックシートが用いられる。

【0003】 図12は、従来の積層電子部品の外観を示す斜視図である。積層電子部品50は、回路要素(図示せず)を内部に介在させた状態で複数の絶縁性シートが

積層されてなる積層体51を有する。積層体51のたとえば4つの側面の各々には、積層体51の外表面に露出する外部電極52が形成される。これらの外部電極52は、図示しないが、内部の回路要素に電気的に接続されている。外部電極52は、絶縁性シートに設けられるもので、導電材が充填されたビアホールの側部を絶縁性シートの切断によって形成されるものである。また、積層体51の4つの側面の各々には、段差53が形成されている。

10 【0004】 上述した積層電子部品50を得るために、図13に示すようなマザー積層体54が用意される。マザー積層体54は、回路要素(図示せず)を内部に介在させた状態で複数のマザー絶縁性シートが積層されてなるものである。

【0005】 図14に示すように、このマザー積層体54には、図示しない回路要素と電気的に接続される導電材58が充填されたビアホール59が設けられ、これらビアホール59が分断されるように所定の切断線55(図13の一点鎖線)に沿って溝60がダイシングソーによって形成される。この溝60の形成によって、溝60の内側面にビアホール59内の導電材58が露出する状態となるとともに、導電材58が分断され、溝60によって囲まれた個々の積層電子部品50は、互いに他のものに対して電気的に独立した状態となる。図12に示した外部電極52は、これらビアホール59内の導電材58によって与えられる。また、溝60の底面とそれに対向するマザー積層体54の下面とに、スリット61及び62が設けられている。

20 【0006】 次いで、機械的に独立した複数の積層電子部品50を得るために、マザー積層体54は、スリット61及び62を利用して、溝60(図14)に沿って完全に切断される。

30 【0007】 このようにして、図12に示した積層電子部品50が得られる。以上、述べた説明からわかるように、段差53は、前述した溝60の形成の結果もたらされたものである。

40 【0008】 図15は、従来の別の構造の積層電子部品の外観を示す斜視図である。この積層電子部品50aも、回路要素(図示せず)を内部に介在させた状態で複数の絶縁性シートが積層されてなる積層体51を有する。積層体51のたとえば4つの側面の各々には、回路要素に電気的に接続された外部電極52が形成される。これら外部電極52は、図15において想像線(2点鎖線)で示すようにスルーホール63を分割することによって与えられる。すなわち、所定の切断線に沿って切断することにより、複数の積層電子部品50aが得られるように用意されたマザー積層体(図示せず)において、スルーホール63を形成し、その内周面上に外部電極52となる導電層を形成した後、このマザー積層体が、スルーホール63を分割するように切断される。



【0009】これら積層電子部品50及び50aは、チップ状に形成され、外部電極52を介して適宜の回路基板上に表面実装される。

【0010】

【発明が解決しようとする課題】しかしながら、上述した積層電子部品50においては、外部電極52として、はんだ付け性確保、はんだ食われ防止のために、Ni/Au、Ni/Sn等のめっき成膜を施すが、マザーパッケージ54の状態でめっき成膜する際に、溝が細い、すなわち外部電極部の開口が狭いため、外部電極52全体にめっき成膜することが困難である。

【0011】また、回路基板に実装する際、略垂直に位置する外部電極52と回路基板上のランドとを繋ぐように、はんだフィレット(図示せず)が設けられている。すなわち、外部電極52が微小のビアホール59で形成されているため、外部電極52と回路基板上のランドとの間に、はんだ層が存在しない。従って、たわみに対する強度が弱くなり、積層電子部品50が回路基板から脱落しやすくなる。

【0012】さらに、ビアホール59内に導電材58を充填するための工程が必要なため、コストが高くなる。

【0013】また、溝60が必ず必要なため、低背化要求に対して積層体51の厚みを薄くすると、マザーパッケージ54で取り扱う工程において、割れる恐れがある。

【0014】一方、上述した積層電子部品50aにおいては、外部電極52がスルーホール63により形成されているため、積層体51の上面及び下面の有効面積が少なくなる。

【0015】また、スルーホール63は、ドリルによって開けられるが、そのときの直径は、0.3mmより小さくすることは困難であるため、外部電極52のピッチに制約を与える。

【0016】さらに、スルーホール63を形成するためのドリルの寿命が比較的短いため、コストが高くなる。

【0017】また、スルーホール63の径を0.3mm以下にすると、外部電極部の開口が狭くなるため、スルーホール63内面の導電層へのめっき成膜、あるいはペースト塗布が困難となる。

【0018】本発明の目的は、回路基板実装時のたわみに対する強度が強く、外部電極へのめっき成膜、あるいはペースト塗布が容易で、外部電極の配置ピッチを細かくできる積層電子部品及びその製造方法を提供するものである。

【0019】

【課題を解決するための手段】上述の問題点を解決するため、本発明は、内部に回路要素を介在させた状態で複数の絶縁性シートを積層して、相対する主面と該主面間を連結する側面からなる積層体を構成し、該積層体の外表面に、前記回路要素に電気的に接続された複数の外部電極を備える積層電子部品において、前記積層体の一方



主面に、少なくとも1つの段差を設けることにより、第1の面に比べて第2の面を凹ませて形成し、該第2の面に少なくとも1つの前記外部電極を設けることを特徴とする。

【0020】また、前記第2の面が、前記積層体の外周部に設けられていることを特徴とする。

【0021】また、前記第2の面を、前記第1の面に対して前記積層体の一方主面の側端部が低くなるように傾斜させることを特徴とする。

10 【0022】また所定の切断線によって区画される各領域に回路要素を分布させた状態で、複数のマザーパッケージシートが積層されてなるマザーパッケージ54と、前記回路要素に電気的に接続され、かつ前記マザーパッケージ54の外表面に形成された外部電極とを有する積層電子部品の集合体を、前記切断線に沿って切断することによって得られる前記積層電子部品において、前記切断線に沿って切断される複数の前記積層電子部品が有する前記外部電極が、複数の前記積層電子部品間で電気的に独立することを特徴とする。

20 【0023】また、前記外部電極が、前記回路要素と同時に前記絶縁性シートに、印刷されてなることを特徴とする。

【0024】また、前記第2の面が、前記絶縁性シートをパンチングして形成されることを特徴とする。

【0025】

【作用】請求項1の積層電子部品によれば、積層電子部品を構成している積層体の一方主面の第1の面に比べて凹ませて形成した第2の面上に、外部電極を設けているため、実装する際、回路基板上のランドと外部電極との間に、ギャップを設けることができる。

30 【0026】請求項2の積層電子部品によれば、積層体の一方主面の外周部に、第1の面に比べて凹ませて形成した第2の面を設けているため、外部電極を形成する領域を広くすることができる。

【0027】請求項3の積層電子部品によれば、外部電極を設けている第1の面に比べて凹ませて形成した第2の面を、第1の面に対して一方主面の側端部が低くなるように傾斜させているため、実装する際、回路基板上のランドと外部電極との間に、さらに広いギャップを設けることができる。

40 【0028】請求項4の積層電子部品によれば、切断線に沿って区画される複数の積層電子部品が有する外部電極が、複数の積層電子部品間で電気的に独立して形成されているため、マザーパッケージとして機械的に一体化されたまま、個々の積層電子部品の特性を測定することができる。

【0029】請求項5の積層電子部品の製造方法によれば、外部電極が回路要素と同時に絶縁性シートに印刷されて形成されるため、外部電極を設けるための新たな工程が不要となる。

【0030】請求項6の積層電子部品の製造方法によれば、積層する絶縁性シートをパンチングすることにより段差を形成することができるため、マザー積層体で工程を実施することができる。

【0031】

【実施例】以下、図面を参照して本発明の実施例を説明する。なお、各実施例中において、同一もしくは同等の部分には同一番号を付し、その詳細な説明は省略する。

【0032】図1は、本発明の一実施例に係る積層電子部品の外観を示す斜視図である。積層電子部品10は、図示したチップ状の形態で適宜の回路基板上に実装されるが、図1では、積層電子部品10の下面、すなわちこのような回路基板側に向けられる面を上方に向かた状態で、図示されている。

【0033】積層電子部品10は、回路要素(図示せず)を内部に介在させた状態で複数の絶縁性シートが積層されてなる積層体11を有する。積層体11の一方主面、すなわち積層体11の下面111の複数か所に、段差12を設けることにより、第1の面111aに比べて複数の第2の面111bを凹ませて形成する。これら複数の第2の面111b上には、それぞれ1つずつの外部電極13が形成される。段差12の形状は、円形、角形、あるいはそれらを組合せた形のいずれでもよい。また、段差12の高さは、0.01~0.3mm程度である。

【0034】上述したような積層電子部品10を得るために、例えば以下のような工程で形成される図2に示すようなマザー積層体14が用意される。なお、本実施例では、マザー絶縁性シートとして、セラミックグリーンシートを用いているが、他の材料からなるマザー絶縁性シートに置き換えられてもよい。

【0035】図3及び図4にプレス前後のマザー積層体14の断面図を示す。まず、図3に示すように、ドクターブレード法などにより、シート形成を行い、マザー絶縁体14を構成するセラミックグリーンシート16、17、18、19及び20を得る。そして、セラミックグリーンシート17、18及び19には、シートの厚み方向の電気的導通を可能とするため、シートを貫通するビアホール21がパンチング等により形成される。

【0036】次いで、セラミックグリーンシート17及び18には、回路要素(図示せず)となるべき導電膜および/または抵抗膜17a及び18aが、セラミックグリーンシート19には、外部電極13が印刷される。そして、最下層のセラミックグリーンシート20の段差部となる部分22は、段差12を設けるためにパンチング等により取り除かれる。

【0037】次いで、セラミックグリーンシート16、17、18、19及び20が積み重ねられ、プレスされる。これによって、図4に示すようなマザー積層体14が得られる。

【0038】外部電極13には、Ag、Cu、Pd、Ag/Pd等が用いられ、図示しないが、回路要素と接続されている。そして、外部電極13は、回路要素と同時にマザー絶縁性シートに印刷し、マザー絶縁性シートとともに焼成するのが一般的であるが、マザー絶縁性シート焼成後に外部電極13を印刷した後、焼き付けてよい。このとき、外部電極13は、図5に示すように、個々の積層電子部品10が独立するように分離したパターンとして印刷されているため、互いに他のものに対して電気的に独立している。

【0039】次いで、はんだ付性の確保とはんだ食われ防止のため、外部電極13には、Ni/Au、Ni/Sn等がめっき成膜される。

【0040】次いで、図5に示すように、マザー積層体14には、切断線15(図2)に沿って、マザー積層体14の上面142と下面141とに、対向するようにそれぞれブレイク用スリット24及び25が設けられる。ブレイク用スリット24及び25は、いずれか一方が省略されてもよい。

【0041】次いで、マザー積層体14は、マザー絶縁体14を構成するセラミックグリーンシート16、17、18、19及び20を焼結させるため、焼成される。その後、必要に応じて、マザー積層体14の表面に導電膜および/または抵抗膜(図示せず)が形成され、そして、保護膜(図示せず)が形成される。また、必要に応じて外部電極13にめっき成膜(図示せず)が施される。

【0042】以上の工程を終えたとき、図5に示すように、マザー積層体14に含まれる複数の積層電子部品10は、互いに他のものに対して電気的に独立しているため、外部電極13を用いて個々の積層電子部品10の特性を測定することが可能である。

【0043】本実施例では、図5に示すように、外部電極13は、個々の積層電子部品10で電気的に独立するように、分離したパターンとして形成したが、つながった状態で形成し、ブレイク用スリット24によって分離する方法を用いてもよい。

【0044】このように、特性が測定された後、良品と判断された積層電子部品10の上面112(図6)上には、必要に応じて、複合化のための他の電子部品(図示せず)が実装される。

【0045】本発明では、ここまで述べた工程が、マザー積層体14の状態で能率的に行うことができる。なお、積層電子部品10の出荷はこの段階で行ってもよい。

【0046】次いで、機械的に独立した複数の積層電子部品10を得るために、マザー積層体14は、切断線15(図2)に沿って形成されたブレイク用スリット24及び25を利用して、完全に分割される。

【0047】このようにして、図1に示した積層電子部

品10が得られる。また、図示しないが、必要に応じてケーシングされる。

【0048】上述したように、本発明によれば、積層体11の下面111の第1の面111aに比べて凹ませた第2の面111b上に、外部電極13を設けているため、マザー積層体14の状態でめっき成膜を実施しても、めっき成膜が外部電極13全体に均一性良く施される。従って、はんだ付け性確保、はんだ食われ防止が向上する。

【0049】また、図6に示すように、回路基板26上に置かれたとき、回路基板26と外部電極13との間でギャップが形成される。従って、回路基板26上に積層電子部品10を実装する場合は、回路基板26上のランド27と、外部電極13との間に、はんだ層28が形成されるため、積層電子部品10と回路基板26の電気的接続が強くなる。

【0050】さらに、回路基板26上のランド27と外部電極13との間に、はんだ層28が存在するため、たわみに対する強度が強くなり、回路基板26から積層電子部品10が脱落しにくくなる。

【0051】また、溝等が存在しないため、低背化要求に対してマザー積層体14を薄くしても、工程途中で割れる恐はない。

【0052】さらに、外部電極13は、積層体11の下面111(図6)のみに形成されているため、積層体11の上面112(図6)は、外部電極13に干渉されることなく、複合化のための他の部品の実装面として広く利用することができる。

【0053】また、外部電極13は、印刷により形成されるため、電極ピッチを細かくすることが可能である。

【0054】さらに、ドリル等を使用せず、マザー絶縁性シートの一部をパンチング等により取り除くだけで、段差12を形成することができるため、製造コストを安くすることが可能となる。

【0055】また、導電材等の充填を必要としないため、製造コストを安くすることが可能となる。

【0056】さらに、外部電極13が回路要素と同時にマザー絶縁性シートに印刷されて形成されるため、外部電極13を設けるための新たな工程を付加する必要がない。従って、製造コストを安くすることが可能となる。

【0057】また、個々の積層電子部品の外部電極13が、互いに電気的に独立するように形成されることにより、複数の積層電子部品10が、電気的に互いに独立した状態で、マザー積層体14として機械的に一体化されたまま、個々の積層電子部品10の特性を測定することができる。従って、機械的に独立した積層電子部品10を取り扱う必要がなく、例えばマザー積層体14の状態で、能率的に多数の積層電子部品10の特性を測定することができる。

【0058】図7は、本発明の別の実施例に係る積層電

子部品の外観を示す斜視図である。積層電子部品10aは、積層電子部品10と比較して、積層体11の下面111に、段差12を設けることにより、第1の面に比べて凹ませて形成した第2の面111b内に、複数の外部電極13が形成される点で異なる。この場合は、1つの第2の面111bに複数の外部電極13が形成されるため、積層電子部品10の場合と同様の効果が得られるうえに、外部電極13のピッチを細かくすることができる。

【0059】図8は、本発明のさらに別の実施例に係る積層電子部品の外観を示す斜視図である。積層電子部品10bは、積層電子部品10と比較して、積層体11の下面111の相対する側端部に、一方側面113から他方側面114にかけて段差12を設ける点で異なる。本実施例では、第1の面111aに比べて凹ませた第2の面111b内に、複数の外部電極13が形成されているが、1つの外部電極13が形成されている場合でもよい。この場合は、積層電子部品10aの場合と同様の効果が得られるうえに、パンチングする穴の数が削減され、工程を簡単にすることができる。

【0060】図9は、本発明のさらに別の実施例に係る積層電子部品の外観を示す斜視図である。積層電子部品10cは、積層電子部品10と比較して、積層体11の下面111の4隅に、段差12を設ける点で異なる。すなわち、第1の面111aに比べて凹ませた第2の面111bが、積層体11の下面111の4隅に形成されている。本実施例では、第1の面111aに比べて凹ませた第2の面111b内に、1つの外部電極13が形成されているが、複数の外部電極13が形成されている場合でもよい。この場合は、それぞれの外部電極13の間隔を広くすることができるため、積層電子部品10の場合と同様の効果が得られるうえに、高周波での相互干渉を防ぐことができる。

【0061】図10は、本発明のさらに別の実施例に係る積層電子部品の外観を示す斜視図である。積層電子部品10dは、積層電子部品10と比較して、積層体11の下面111の4つの側端部に、段差12を設ける点で異なる。すなわち、第1の面111aに比べて凹ませた第2の面111bが、積層体11の下面111の外周部に形成されている。この場合は、積層電子部品10の場合と同様の効果が得られるうえに、外部電極を形成する領域が広くなるため、積層電子部品10dが数多くの外部電極13を有することができる。

【0062】図11は、本発明のさらに別の実施例に係る積層電子部品の外観を示す斜視図である。積層電子部品10eは、積層電子部品10と比較して、積層体11の下面111の第1の面111aに比べて凹ませた第2の面111bに、第1の面111aに対して積層体11の下面111の側端部が低くなるような傾斜26を設ける点で異なる。この場合は、積層電子部品10の場合と

同様の効果が得られるうえに、回路基板26(図6)上のランド27(図6)と、外部電極13との間に存在するはんだ層28(図6)がさらに厚くなるため、たわみに対する強度がさらに強くなり、回路基板26(図6)からの積層電子部品10eの脱落がより効果的に防げる。

【0063】

【発明の効果】請求項1の積層電子部品によれば、積層体の一方主面、すなわち積層体の下面の第1の面に比べて凹ませた第2の面上に、外部電極を設けているため、マザー積層体の状態でめっき成膜を実施しても、めっき成膜が外部電極全体に均一性良く施される。従って、はんだ付け性確保、はんだ食われ防止が向上する。

【0064】また、回路基板上に置かれたとき、回路基板と外部電極との間でギャップが形成される。従って、回路基板上に積層電子部品を実装する場合は、回路基板上のランドと、外部電極との間に、はんだ層が形成されるため、積層電子部品と回路基板の電気的接続が強くなる。

【0065】さらに、回路基板上のランドと外部電極との間に、はんだ層が存在するため、たわみに対する強度が強くなり、回路基板から積層電子部品が脱落しにくくなる。

【0066】また、溝等が存在しないため、低背化要求に対してマザー積層体を薄くしても、工程途中で割れる恐れはない。

【0067】さらに、外部電極は、積層体の下面のみに形成されているため、積層体の上面は、外部電極に干渉されることなく、複合化のための他の部品の実装面として広く利用することができる。

【0068】また、外部電極は、印刷により形成されるため、電極ピッチを細かくすることが可能である。

【0069】さらに、導電材等の充填を必要としないため、製造コストを安くする可能となる。

【0070】請求項2の積層電子部品によれば、積層体の下面の外周部に、第1の面と比べて凹ませた第2の面を設けているため、外部電極を形成する領域を広くすることができ、積層電子部品が数多くの外部電極を有することができる。

【0071】請求項3の積層電子部品によれば、外部電極を形成している積層体の下面の第1の面と比べて凹ませた第2の面に、第1の面に対して積層体の下面の側端部が低くなるような傾斜を設けている。従って、実装する際、回路基板上のランドと、外部電極との間に存在するはんだ層がさらに厚くなるため、たわみに対する強度がさらに強くなり、回路基板からの積層電子部品の脱落をより効果的に防ぐことができる。

【0072】請求項4の積層電子部品の製造方法によれば、個々の積層電子部品の外部電極が、互いに電気的に独立するように形成されることにより、複数の積層電子

部品が、互いに電気的に独立した状態で、マザー積層体として機械的に一体化されたまま、個々の積層電子部品の特性を測定することができる。従って、機械的に独立した積層電子部品を取り扱う必要がなく、例えばマザー積層体の状態で、能率的に多数の積層電子部品の特性を測定することができる。

【0073】また、上述した特性測定を実施するための形態である、ブレイク用スリットを有するマザー積層体を、出荷時の形態とすれば、需要者側において、マザー積層体をブレイク用スリットに沿って分割するだけで、そこから個々の積層電子部品を取り出すことができる。この場合、個々の積層電子部品の特性測定を既に終えておくことができるため、問題なく実装工程を実施することができるとともに、マザー積層体の状態は、個々の積層電子部品がばらばらの状態にある場合に比べて、その梱包及び取扱が容易である。

【0074】請求項5の積層電子部品の製造方法によれば、外部電極が回路要素と同時に絶縁性シートに印刷されて形成されるため、外部電極を設けるための新たな工程を付加する必要がない。従って、製造コストを安くすることが可能となる。

【0075】請求項6の積層電子部品の製造方法によれば、マザー絶縁性シート状態で、段差部となる部分をパンチング等により取り除くことにより、容易に、段差を設けくことができるため、ドリル等が必要なく、製造コストを安くすることが可能となる。

【図面の簡単な説明】

【図1】本発明の一実施例に係る積層電子部品の外観を示す斜視図である。

【図2】図1に示した積層電子部品を得るために準備されるマザー積層体を示す斜視図である。

【図3】図2に示したマザー積層体のプレス前を示す断面図である。

【図4】図2に示したマザー積層体のプレス後を示す断面図である。

【図5】図2に示したマザー積層体を示す拡大斜視図である。

【図6】図1に示した積層電子部品が回路基板に表面実装された状態を示す断面図である。

【図7】本発明の別の実施例に係る積層電子部品の外観を示す斜視図である。

【図8】本発明のさらに別の実施例に係る積層電子部品の外観を示す斜視図である。

【図9】本発明のさらに別の実施例に係る積層電子部品の外観を示す斜視図である。

【図10】本発明のさらに別の実施例に係る積層電子部品の外観を示す斜視図である。

【図11】本発明のさらに別の実施例に係る積層電子部品の外観を示す斜視図である。

【図12】従来の積層電子部品の外観を示す斜視図であ

る。

【図13】図11に示した従来の積層電子部品を得るために準備されるマザー積層体を示す斜視図である。

【図14】図12に示したマザー積層体を示す拡大斜視図である。

【図15】従来の別の積層電子部品の外観を示す斜視図である。

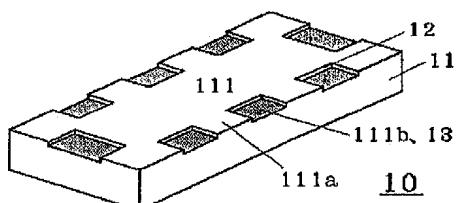
【符号の説明】

10a、10b、10c、10d、10e
層電子部品

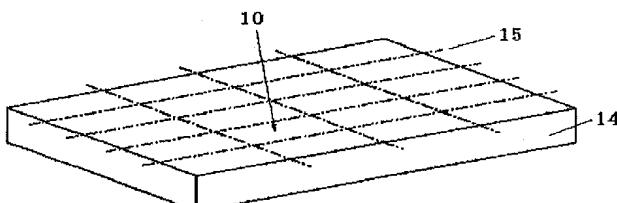
11 積層体
111 積層体の下面
111a 第1の面
111b 第2の面
112 積層体の上面

* 1 2	段差
1 3	外部電極
1 4	マザー積層体
1 4 1	マザー積層体の下面
1 4 2	マザー積層体の上面
1 5	切断線
1 6、1 7、1 8、1 9、2 0	マザー絶縁性シート
1 7 a, 1 8 a	導電膜(回路要素)
10 2 1	ピアホール
2 2	段差形成部
2 4、2 5	ブレイク用スリット
2 6	回路基板
2 7	ランド
* 2 8	はんだ層

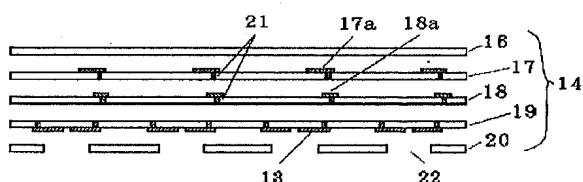
【図1】



【図2】



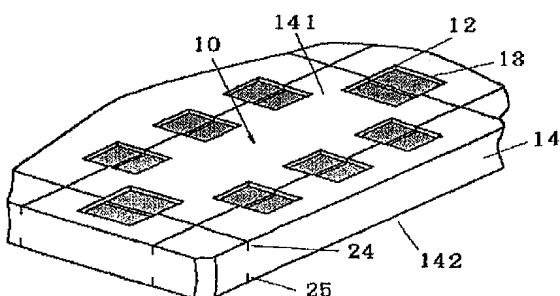
【図3】



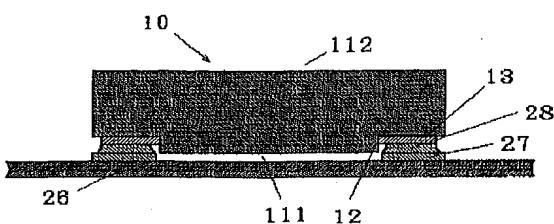
【図4】



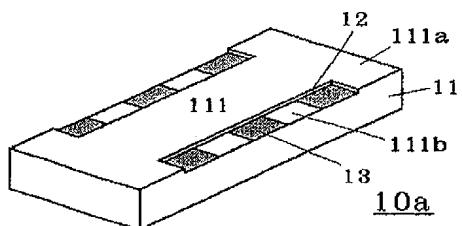
【図5】



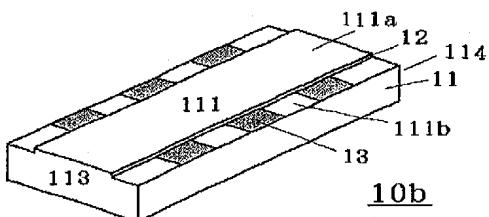
【図6】



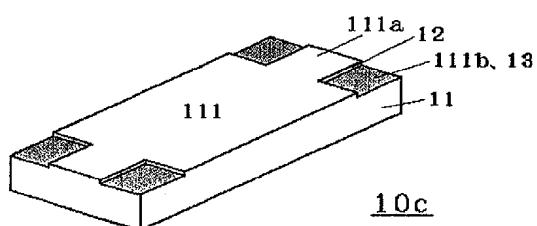
【図7】



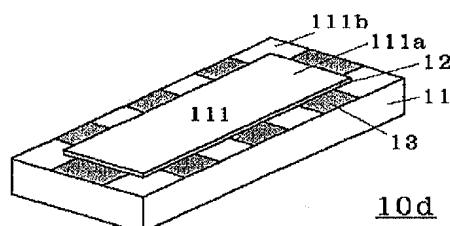
【図8】



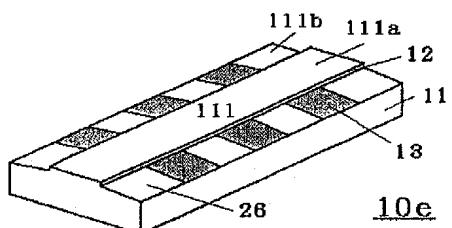
【図9】



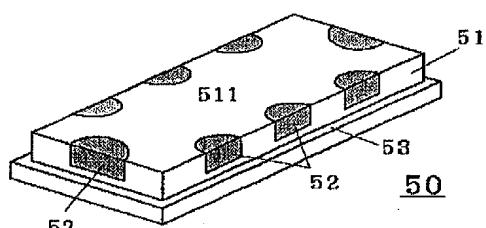
【図10】



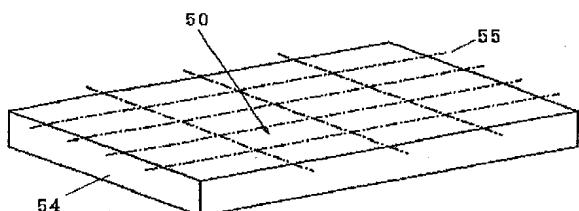
【図11】



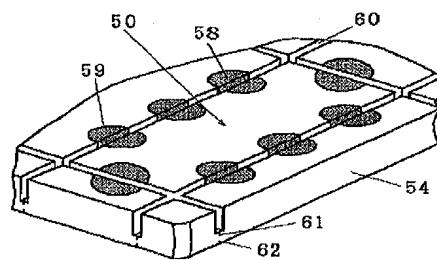
【図12】



【図13】



【図14】



【図15】

